경계 주사 구조를 이용한 새로운 실시간 모니터링 실장 제어기 설계

박 세 현[†]

요 약

경계 주사 구조(Boundary Scan Architecture)기법은 복잡한 인쇄 회로 기판(PCB : Printed Circuit Board)을 테스트하기 위해 도입되었다. 이러한 경계 주사 구조는 시스템의 정상 동작에 간섭을 주지 않고 시스템의 동작 상태를 실시간 모니터링 하는데 대단한 잠재력을 지니고 있다.

본 논문에서는 경계 주사 구조를 이용하여 시스템의 작동 상태를 실시간으로 모니터 하기 위한 새로운 실장 제어기를 제안하고 설계한다. 제안된 실시간 모니터링 실장 제어기는 경계 주사 구조의 경계 주사 셀 제어기(Test Access Port Controller)와 범용 실장 제어기(Embedded Controller)로 구성되어 있다. 제안된 경계 주사 구조를 이용한 실시간 모니터링 실장제어기는 하드와이어의 자원을 절약해 주고 경계 주사 구조를 지니고 있는 칩에 쉽게 인터페이스 된다. 실험 결과는 제안된 실장제어기가 시스템의 동작 상태를 실시간 모니터 하는데 호스트 컴퓨터에 의한 모니터링에 비해 효과적임을 보여준다.

A Design of New Real Time Monitoring Embedded Controller using Boundary Scan Architecture

Se Hyun Park[†]

ABSTRACT

Boundary scan architecture test methodology was introduced to facilitate the testing of complex printed circuit board. The boundary scan architecture has a tremendous potential for real time monitoring of the operational status of a system without interference of normal system operation.

In this paper, a new type of embedded controller for real time monitoring of the operational status of a system is proposed and designed by using boundary scan architecture. The proposed real time monitoring embedded controller consists of test access port controller and an embedded controller.

Proposed real time monitoring embedded controller using boundary scan architecture can save the hard-wire resource and can easily interface with boundary scan architecture chip. Experimental results show that the real time monitoring using proposed embedded controller is more effective then the real time monitoring using host computer.

1. 서 론

반도체 설계 기술의 급속한 발달은 반도체의 집적도를 증가시켜 왔고 각종 프로세서, 메모리 및 입출력 칩들을 좁은 보드 공간에 장착하기 위해 표면 장기법(Surface Mount Technology)[1]이 등장하였다. 따라서 보드 테스트를 위한 정통적인 방법인 회로 삽입 테스트(In Circuit test) 기법으로는 집적도가 높은 보드의 고장을 검출하기가 어렵게 되어 설계 단계에서 테스트를 고려한 디자인은 매우 중요하게 되었다. 이러한 테스트를 고려한 디자인 기법을 검사 용이화 설계(Designed For Testability)라고 한다.

검사 용이화 설계를 이용한 칩 테스트 기법에는 주사 설계(Scan Design) [2-4]와 내장형 자체 테스트(이하 BIST: Build In self Test) [5-10] 등이 있다.

[†] 정회원, 국립안동대학교 전자정보산업학부 공과대학 교수

주사 설계 기법은 테스트 대상 칩에 관측 및 제어를 할 수 있는 경계 주사 셀을 삽입하여 외부에서 칩의 테스트를 용이하게 하려는 것이다. 그리고 BIST 방식은 테스트 대상 칩에 자동으로 테스트 패턴을 생성하는 BIST 회로를 삽입하여 BIST의 자동 테스트 패턴에 대한 출력을 분석하고 결함 여부를 판단하는 방법이다. 검사 용이화 설계를 시스템 보드 레벨에서 다루는 IEEE 1149.1 경계 주사 구조는 1990년 IEEE의 표준으로 제정된 후 많은 성공 사례가 보고 되고 있다[11-13].

경계 주사 구조의 주된 목적은 시스템이 정상 동작 상태가 아닌 칩 테스트 상태에서 칩 내부의 경계 주사 셀 들을 제어하는 제어기(이하 TAP 제어기 : Test Access Port Controller, 혹은 Test Bus Controller)에 적절한 테스트 패턴을 인가하여 합선, 절선 또는 고착 결함을 테스트하는데 있다. 만약 시스템이 정상 동작 상태에 있을 경우 칩 내부의 경계 주사 셀 들은 시스템의 동작에 영향을 주지 않게 설계되어 있다.

경계 주사 구조에 대한 대부분의 국내외 연구는 시스템의 칩 테스트 상태에서 테스트를 주된 연구대상으로 삼고 있기 때문에 경계 주사 구조를 이용한 실시간 모니터링에 대한 연구는 부족하다. 그러나 경계 주사 구조는 시스템의 정상 동작에 간섭을 주지 않고 시스템의 동작 상태를 실시간 모니터 하는데 대단한 잠재력을 지니고 있다[14].

시스템의 상태를 모니터링 하는 작업은 기존 호스트에게 빠른 입출력 처리와 빠른 연산처리를 요구하지 않는다. 그러나 모니터링 작업은 기존 호스트에게 많은 하드웨어 자원과 작업 프로세서를 소모하게 된다. 특히 반응 속도가 느린 입출력 예를 들면 릴레이나 센서들을 통한 모니터링 등은 특히 그러하다.

따라서 본 논문은 기존의 호스트에 의한 방식을 개선하고자 경계 주사 구조를 가진 칩을 대상으로 모니터링 하는 새로운 실장 제어기를 제안하고 설계하고자 한다. 경계 주사 구조를 이용할 경우 최근 대부분 칩은 경계 주사 구조의 TAP 포트가 있기 때문에 부가 장치 없이 쉽게 4개의 TAP 포트 신호로 인터페이스 하여 모니터링을 할 수 있다는 장점 있다. 그리고 경계 주사 구조의 TAP 제어와 함께 실장 제어기의 기능을 함께 구성하면 기존 호스트가 담당하고 있는 실시간 모니터링을 위한 작업 프로세서의 부담을 경감 할 수 있다.

특히 모니터링의 작업은 빠른 속도의 연산 처리를 요구하지 않으므로 TAP에 의한 모니터링을 Intel 8051과 같은 범용 8비트 실장 제어기로 설계 할 수 있으나 모니터링 작업은 빈번한 입출력 기능을 요구되므로 DMA와 TAP제어의 기능을 부가한 실장 제어기가 요구된다. 그러나 국내외 이러한 실시간 모니터링을 위한 실장제어기가 소개되지 않고 있다.

본 논문에서는 경계 주사 구조를 이용한 실시간 모니터를 위한 실장 제어기를 제안하기 위해 다음과 같이 서술한다. 먼저 실시간 모니터 된 데이터를 분석하고 제어할 수 있는 범용 8비트 실장 제어기를 설계한 다음 DMA 기능과 TAP 제어의 입출력 기능을 부가하여 전체적으로 원 칩(One Chip)으로 설계한다. 그리고 TAP에 의한 모니터링을 Intel 8051과 같은 범용 8비트 실장 제어기로 설계한 것과 제안된 실장 제어기에 대해 입출력 성능을 비교하여 제안된 실장 제어기의 타당성을 검증한다.

제안된 실시간 모니터링 실장 제어기는 경계 주사 구조의 입출력을 이용하기 때문에 많은 수의 입출력 수를 가지면서 비교적 낮은 속도에서 동작하는 입출력 장치의 실시간 모니터링에 특히 유효하다.

2. 경계 주사 구조

경계 주사를 이용한 시스템의 칩 테스트는 칩에 경계 주사를 위한 부가 회로가 삽입되어 있다. 이 부가된 회로는 칩의 외부 핀에 하나씩 연결되어 있는 경계 주사 셀과 이 경계 주사 셀 들을 제어하는 TAP 제어기로 구성된다. 경계 주사 셀은 정상 동작 중에는 입출력 동작에 영향을 주지 않게 회로가 구성되어 있다. 그러나 테스트를 수행할 때는 경계 주사 셀 들이 연결되어 경계 사슬을 형성한다. 이 경계 사슬을 경계 주사 레지스터라고 부른다. 경계 주사 구조를 간단히 소개하면 다음과 같다[14].

칩에는 경계 주사를 목적으로 네 개의 테스트 핀이 부가되는데 이 핀을 TAP이라 한다. TAP에는 TDI(Test Data In), TDO(Test Data Out), TCK (Test Clock) 및 TMS(Test Mode Select)이 있다. TDI와 TDO는 각각 주사 사슬의 입력 단자와 출력 단자이며 비트 데이터는 이곳을 통해 입력과 출력된다. TCK는 주사 사슬의 클럭을 제공해 주며 TMS는

TAP 제어기의 상태 천이를 지정한다.

그림 1은 경계 주사 셀에 대한 것이다. IN과 OUT은 칩의 외부 입출력 핀에 연결되어 있는 부분이다. SIN과 SOUT은 인접한 경계 주사 셀과 사슬 형태로 연결되어 경계 주사 레지스터를 형성한다. 경계 주사 셀은 ShiftDR, ClockDR, UpdateDR의 세 개의 신호의 조합에 따라 Capture, Shift, Update의 세 가지 동작을 하도록 설계되어 있다. 이 세 개의 신호들은 TAP 제어기에 의해 제어된다. TAP 제어기에는 내부 명령어 레지스터에 의해 데이터를 통과시키는 명령(BYPASS), 테스트의 결과를 획득하고 동시에 테스트 패턴을 경계 주사 레지스터에 넣는 명령(SAMPLE/PRELOAD), 칩 사이의 연결을 테스트하는 테스트 명령(EXTEST) 등이 정의되어 있다.

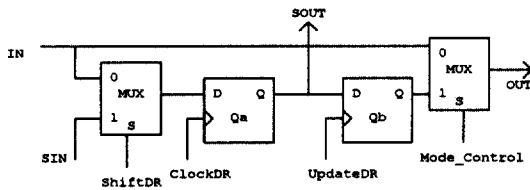



그림 1. 경계 주사 Cell

3. 실시간 모니터링 실장제어기의 설계

제안된 실시간 모니터링 실장 제어기의 데이터 패스(Data Path)를 그림 2에 나타내었다. 내부 버스는 16 비트이고 ALU와 입출력은 8 비트로 구성하였다.

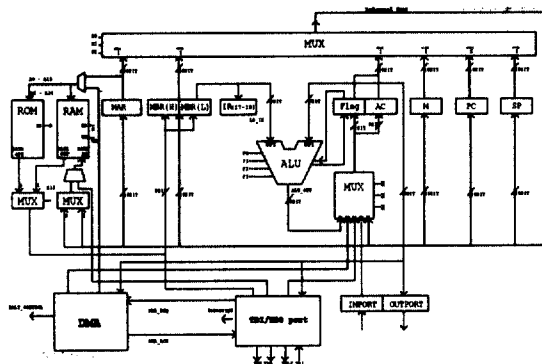



그림 2. 실장 제어기를 위한 데이터 패스

내부는 롬과 램을 가지고 있으며 총 메모리는 64K 바이트지만 필요에 따라 용량을 달리 구성할 수 있다. 그리고 전체적으로 원 칩으로 구성되어 내부 램은 데이터의 입력과 출력 버스가 분리되고 클럭과 동기되어 있다.

외부 칩의 경계 주사 구조의 TAP을 제어하기 위한 회로는 TDI/TDO 포트이며, 내부에 TAP 제어를 위한 상태 머신으로 구성되어 있다. TDI/TDO 포트와 메모리 사이의 직접 데이터 전송을 위한 회로는 DMA(Direct Memory Access)로 제어한다.

그림 3은 실장 제어기의 명령어 흐름도이다. 주소지정 방식으로 즉치 주소지정 방식(A_0), 직접 주소지정 방식(A_1), 레지스터 간접 주소지정 방식(A_2), 레지스터 및 IO 주소지정 방식(A_3)을 사용하였다. 명령어군은 크게 16개로 나누며 각 명령어군은 이러한 4가지의 주소지정 방식을 사용한다.

실장 제어기는 하드웨어 자원의 절약과 속도 향상을 위해 제어로직을 하드와이어로 설계하였으며 명령어 수행 사이클 이전에 주소 지정을 위한 상태를 부 상태(Sub-state)로 두어 명령어 사이클의 코딩을 절약할 수 있는 기법을 사용하였다. 예를 들어 즉치 주소(A_0)와 메모리 참조 명령(A_1, A_2)에 대해 알아보면 다음과 같다.

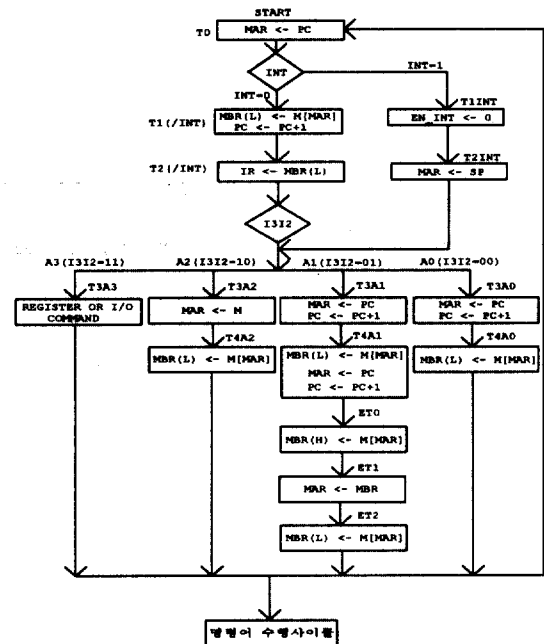



그림 3. 실장 제어기의 명령어 흐름도

주소지정(A_0, A_2)경우:

T0 → T1 → T2 → T3 → T4

T0 → T1 → T2 → T3 T4

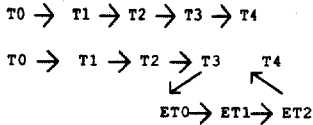
ET0 → ET1 → ET2

제안한 실장 제어기에 구현한 명령어의 종류는 표 1과 같다. 표 1에서 각 명령어는 몇 종류는 제외하고 위에서 설명한 4 가지의 주소 지정 방식을 사용 할 수 있다.

그림 4는 설계한 DMA 레지스터 구조이다. DMA의 레지스터는 6개이나 할당된 입출력 주소는 입출력 각각 1개이며 DMA의 레지스터는 누산기(AC)를 통해 설정된다.

DMA의 레지스터에는 TDI 입력 비트 데이터를 저장할 메모리 주소(TDI_Address)와 데이터 길이(TDI_length) 그리고 TDO를 위한 출력 비트 데이터를 저장할 메모리 주소(TDO_Address)와 데이터 길이(TDO_length)가 저장된다. DMA의 레지스터들은 누산기로부터 순차적으로 입력되며 레지스터 설정 카운터가 4에서 DMA의 레지스터들은 보조 레지스터에 보존되며 DMA 로직을 초기화 한 후 DMA는 동작 가능한 상태가 된다.

표 1. 실장 제어기에 구현된 명령어군

명령어 군	명령어
Arithmetic / Logic 명령군	ADD, ADC, SUB, SUBB, INC, DEC, CMP, AND, TEST. OR,, XOR, , SHL, SHR, NOT
Data Transfer 명령군	LDI, LDA, STA, PUSHA, PUSHM, POPA, POPM, MOV,IN, INDMA, OUT, OUTDMA
Branch 명령군	JMP, JC, JNC, JZ, JNZ, JZM, JNZM
Subroutine/ Interrupt 명령군	CALL, RET, INT N,
기타 명령군	SETC, RESETC, HLT

그림 4. DMA 레지스터 구조

초기에 DMA는 대기(Wait)상태에 있고 TDI/TDO 포트의 데이터 전송 요구가 있으면 DMA 중재 상태에서 버스 사용권을 받아 DMA 수행 사이클로 간다. 버스의 사용 권한은 TDI/TDO 포트에 균등하게 배분하였으며 CPU가 가장 낮은 사용 권한을 갖는다.

제안된 실장제어기의 내부 상태와 TDI/TDO 포트의 블록도는 각각 그림 5, 그림 6 및 그림 7과 같이 설계되었다. 경계 주사 구조를 채용하는 칩의 일반 TAP 제어기의 내부 상태는 16개로 되어있으나 제안된 TDI/TDO 포트의 TAP제어를 위한 상태는 13개로 설계하였다. 13개의 상태는 Reset, Fetch, Idle, Dr_scan, Capture_dr, Exit1_ir_dr, Update_ir_dr, Ir_scan, Capture_ir, Shift_ir_dr, Pause_ir_dr, Exit2_ir_dr 및 Fetch_tdi_set로 구성되어 있다.

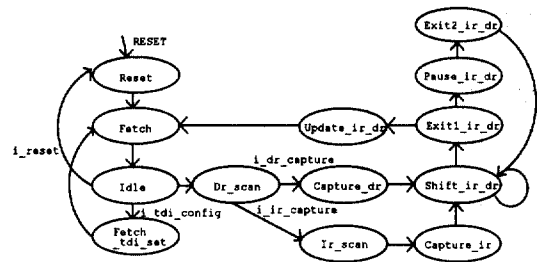



그림 5. TDO/TDI 포트의 상태 머신의 천이도

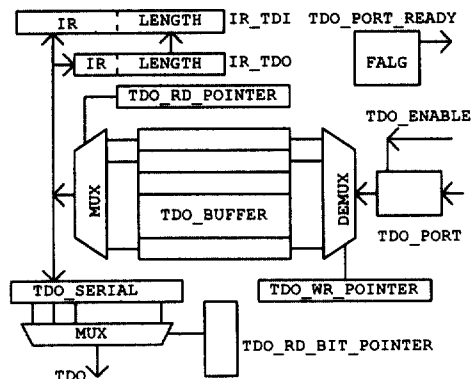



그림 6. TDO 포트와 TDO버퍼

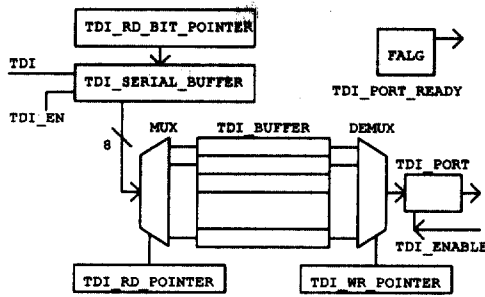



그림 7. TDI 포트와 TDI 버퍼

초기화 상태는 Reset 상태이며 DMA 레지스터의 리세트 출력(DMA_Reset)에 의해 상태 천이가 개시된다. TDI/TDO 포트를 제어하기 위한 명령어의 명령부(OP code)와 명령어의 형식은 각각 표 2와 표 3과 같이 정의하였다.

TDO/TDI 포트를 제어하는 명령어는 TDO 포트 내의 IR_TDO 와 IR_TDI에 각각 저장된다. 표 3에서 Length 부분은 TDI/TDO 포트에서 송수신할 비트 데이터의 길이이다. 그리고 Bit Data 부분은 TDO 포트에서 외부 TAP 제어기의 TDI로 출력될 비트 정보이다. IR code가 i_ir_capture일 경우에 Bit Data 부분은 TDO에서 외부 TAP 제어기의 TDI로 전송될 경계 주사 명령어 레지스터의 명령어로 취급된다. 그리고 IR code가 i_dr_capture 경우에는 Bit Data 부분은 TDO에서 외부 TAP 제어기의 TDI로 전송될 경계 주사 레지스터의 데이터로 취급된다.

그림 5의 상태 천이도에서 Fetch와 Fetch_tdi_set 상태는 일반 경계 주사 구조의 TAP 제어기의 상태에는 없으나 TDI/TDO 포트의 제어 명령을 받아들이기 위해 정의한 상태이다.

TDO/TDI 포트가 Fetch와 Fetch_tdi_set 상태는 각각 TDO의 제어 포트 명령과 TDI 포트의 제어 명령을 받아들인다. 이때 외부 칩의 TAP 제어기의 상태는 Run/Idle에 머물게 되어 있어 외부 칩의 동작 상태에 영향을 주지 않는다. TDO 포트에서 비트 데이터의 전송은 shift_ir_dr 상태에서 수행된다.

표 2. TDO/TDI 포트 제어 명령어의 OP Code

IR code	Instruction
1 1	i_reset
1 0	i_tdi_config
0 1	i_dr_capture
0 0	i_ir_capture

표 3. TDO/TDI 포트 제어 명령어 형식

IR code	Length	Bit Data

TDI 포트의 명령어 레지스터(IR_TDI)는 그림 8에서 보는 바와 같이 TDI 포트가 동작 개시하는 시점 즉 외부 TAP 제어기의 TDO로부터 비트 데이터를 입력시키는 시점을 설정하여야 한다. 설정할 수 있는 값은 TDO 포트의 상태이거나 그 밖의 값으로 정의할 수 있다. 그리고 TDO 포트의 명령어 레지스터(IR_TDI)의 IR과 같은 상태일 경우 TDI 포트는 외부로부터 비트 데이터를 입력한다.

Idle 상태는 경계 주사 구조를 지원하는 칩에서 RunTest/Idle에 해당한다. 그리고 Capture_dr과 Capture_ir 이후의 상태는 일반 TAP 제어기와 기능이 동일하나 일반 TAP 제어기에서는 서로 분리되어 있으나 TDI/TDO포트 내의 상태 흐름에서는 공유하게 하였다.

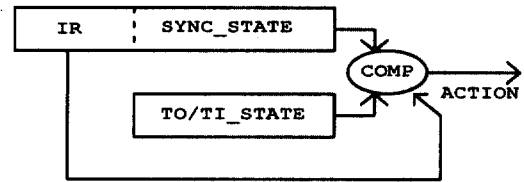



그림 8. TDI 포트 동작 개시 방식

TDO 포트와 TDI 포트의 버퍼는 링 구조를 가지고 있으며 각각 외부 TAP 제어기의 TDI에 출력될 데이터와 외부 TAP 제어기의 TDO부터 입력받은 데이터가 저장되어있다.

DMA와 TDO/TDI 상태 머신 및 TDO/TDI 포트의 버퍼는 서로 동기 되어 구동되며 TDO의 포트에 대한 하드웨어 구동 알고리즘을 의사 코드로 간단히 표현하면 다음과 같다.

```
tdo_buffer_flag : process
  begin
    if tdo_buffer = not_full then tdo_port_ready <= '1';
          else tdo_port_ready <= '0';
    end if;
  end process;

DMA : process
  begin
    if ( tdo_port_ready ='1' and tdo_length /= 0 and
       DMA = ready) then
```

```
        cpu_hold <= '1' ;
        tdo_port <= memory[ tdo_address++ ];
        tdo_enable ='1';
        tdo_length--;
      else cpu_hold <= '0'; tdo_enable ='0';
    end if;
end process;

tdo_read_write : process
  begin
    if ( ( tdo_buffer = not_empty)and ( sync_bit =
         ready) ) then
           tdo  <=  byte_bit_conversion[  tdo_buffer[
           tdo_rd_pointer++] ];
    end if;

    if tdo_enable ='1' then
      tdo_buffer[ tdo_wr_pointer++] <= tdo_port;
    end if;
end process;

tdo_state_machine : process
  begin
    wait until ( state = shift_ir_dr);
    if tdo_bit_length /= '0' then
      sync_bit <= ready;
      state <= shift_ir_dr;
      tdo_bit_length--;
    else
      sync_bit <= not_ready;
      state++;
    end if;
end process;
```

여기서 4개의 프로세서 tdo_buffer_flag, DMA, tdo_read_write 및 tdo_state_machine는 하드웨어적으로 병행처리하며 각 프로세서는 상태(tdo_port ready, tdo_enable 및 sync_bit)에 통해 동기되어 구동된다. tdo_rd_pointer은 그림 7의 TDO 포트의 버퍼의 데이터로부터 TDO 포트로 출력하기 위한 포인터이며 tdo_wr_pointer는 메모리 데이터를 DMA에 의해 TDO의 버퍼로 기록하기 위한 포인터이다. tdo_length 와 tdo_bit_length는 각각 그림 4의 DMA 와 표 3의 TDO 포트 명령어에서의 바이트와 비트 데이터 길이이다.

TDI 포트에 대한 구동 알고리즘은 TDO 포트와 같은 방식으로 설계되었다.

4. 실험 및 고찰

제안한 실장 제어기는 VHDL로 설계하였고 FPGA을 통해 구현하였다. VHDL의 합성을 위해 사용된 소프트웨어와 FPGA는 각각 Max+II와 EPF10K100-ARC240(용량:10만 게이트)이다.

경계 주사 구조를 가진 칩을 대상으로 모니터링하는데 있어 기존의 병렬 처리 방식의 모니터링은 입출력 비트 수만큼 하드와이어가 요구되지만, 제안한 경계 주사의 TAP에 의한 모니터링 방식은 모니터 할 칩 내의 경계 주사 구조를 그대로 이용하므로 TAP 제어용 4개 선의 하드웨어 자원만 요구된다. 그림 9는 모니터링 입출력 비트 수의 증가에 따른 기존의 병렬 처리 방식과 제안한 경계 주사의 TAP에 의한 처리 방식의 입출력 하드와이어(Input/Output Hard-wire)의 크기를 보여준다.

병렬 처리 방식은 경계 주사의 TAP에 의한 방식보다 처리 속도는 빠르지만 시스템의 동작 상태를 모니터링 하는 작업은 입출력 처리가 대부분이고 간단한 연산만이 요구되기 때문에 빠른 연산 속도를 필요로 하지 않는다. 따라서 실시간 모니터링을 경계 주사의 TAP 포트를 이용하는 것이 적절하며 하드와이어의 부담을 경감하는 장점이 있다. 특히 제안한 방식은 경계 주사 구조를 가진 칩을 대상으로 하는 실시간 모니터링을 하는데 부과 장치 없이 쉽게 인터페이스 할 수 있다.

모니터링 작업은 빈번한 입출력이 요구되므로 경계 주사를 이용한 모니터링을 Intel 8051에서 처리한 것과 제안한 실장 제어기로 처리한 것에 대해 입출력 성능을 비교하여 보았다. 그림 10은 범용 실장제어기 Intel 8051과 제안한 실장 제어기에 대해 입출력 처리 속도를 비교한 것이다. 입출력 처리 속도는 외부 칩의 TAP 포트를 통하여 8 비트 TAP 제어 명령어 출력한 뒤 데이터 비트 수를 1에서 256 까지 입출력 했을 때 해당 제어기가 처리되는 시간[단위: uS(표시: LOG_{10})]을 나타낸 것이다.

그림 10에서 보는 바와 같이 제안한 실장 제어기는 기존의 Intel 8051 보다 약 125배의 입출력 처리 능력을 가진다. 실험 조건은 각 제어기의 클럭 주파수를 20Mhz로 설정하였고 각각의 어셈블리 언어로 처리하였다. 실험 결과를 분석한 결과 외부 칩의 TAP 포트를 통하여 N 비트의 명령어의 설정과 경계 주사 레지스터에 M 비트의 데이터의 입출력을 위해 소요되는 시간은 Intel 8051 경우에는 약 $(265.5(N+M) + 684)_{CLK}$ 의 시스템 클럭이 요구되고 제안된

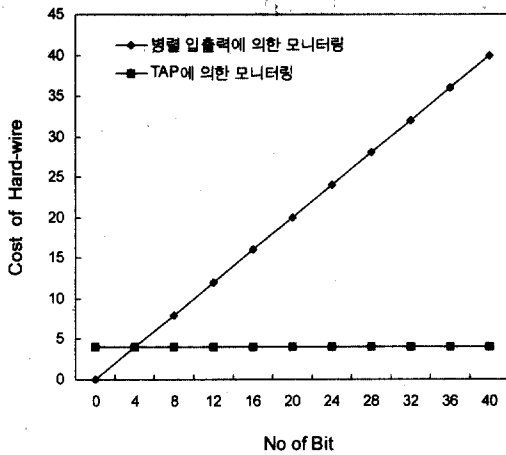



그림 9. 입출력 비트 수에 대한 입출력 하드와이어의 크기

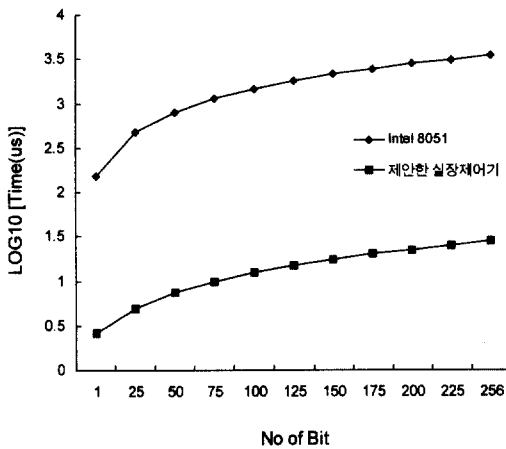



그림 10. 입출력 처리 속도의 비교

실장 제어기의 경우는 ((N+ M + 17)* 2)$_{CLK}$ 의 시스템 클럭이 요구된다.

제안된 실장 제어기의 경우 대부분의 입출력 처리 시간이 TDI/TDO 포트의 상태 머신에서 소요하고 메모리와 입출력 데이터 이동을 위한 DMA 처리는 전용 TDI/TDO 포트의 상태 머신이 동작하는 동안에 동시 처리되므로 Intel 8051의 입출력 처리보다 매우 빠른 처리 능력을 보인다.

본 논문에서는 제안한 실장기와 Intel 8051의 명령어를 비교하면 표 4와 같다. Intel 8051 명령은 다양한 비트 처리 명령과 프로그램의 분기 명령 및 내부 레지스터간 명령어를 가지지만 산술논리 연산 명령에서 직접 번지 지정을 할 수 없는 단점이 있다. 반면에 제안한 실장제어기는 데이터 처리용 레지스터로 누

표 4. 실장 제어기에 구현된 명령어군

명령어 갯수 / 명령어군	Intel 8051	제안한 실장제어기
Arithmetic / Logic 명령군	8 / 9	6 / 8
Data Transfer 명령군	7	12
Branch 명령군	17	7
Subroutine / Interrupt 명령군	4	3
Bit / 기타 명령군	6 / 1	2 / 1

산기만을 가지지만 내부 램 자체가 레지스터 파일 역할을 하며 직접 번지 지정을 이용하여 쉽게 산술논리 연산을 할 수 있다.

설계된 실장 제어기를 사용하여 그림 11과 같이 실시간 모니터를 해 보았다. 시스템이 정상 동작 상태에서 실시간으로 모니터를 하고자 하는 부분은 입출력 포트에 연결된 릴레이 및 CT 센서이며 변환회로를 통하여 입력받는다. 일반적으로 입출력 데이터가 입출력장치에 인가될 때 센서를 통하여 다시 입력으로 피드백 되어 입출력 장치의 결함을 검출하게 되어 있다. 그림 11에서 점선으로 피드백(Feed Back) 되어 있는 부분이 기존의 방식이다. 그리고 TAP 제어기가 있는 버퍼 Sn74bct8240을 통하여 실장 제어기로 연결되어 있는 방식이 제안하고자 하는 방법이다.

그림 12은 그림 11의 블록도에 대한 실제 장치이며 시판되고 있는 컴퓨터 건조 제어장치(Model: yd60cm)를 대상으로 실험하여 본 것이다. 실험 결과 실장 제어기의 시스템 클럭 주파수는 20Mhz를 사용할 때 Sn74bct8240의 TAP 제어기를 통하여 8비트 명령어 출력하고 16비트 데이터를 입력 출력 받아 실시간 모니터를 하는데 걸리는 시간은 4.1us로 측정되었다. 일반적으로 릴레이나 물리적 센서를 사용하

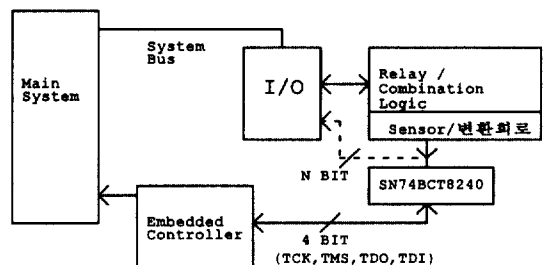



그림 11. 실험 장치 블록도

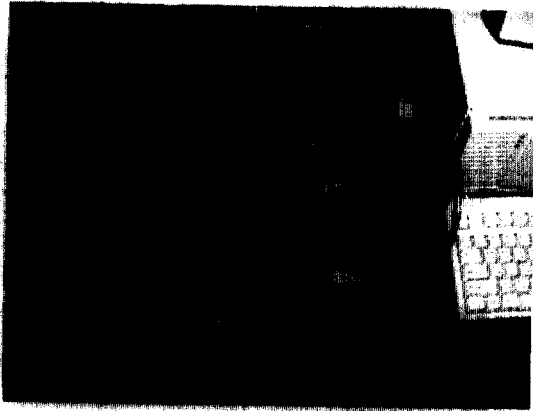



그림 12. 실험장치

는 경우 입출력 후 안정화 상태가 되기 위한 시간은 20msec까지 요구되기도 하므로 이 정도의 시간이면 느린 동작으로 반응하는 많은 접점의 입출력 데이터를 실시간으로 모니터 하는데 충분한 시간이다.

그림 13는 제안한 실장 제어기의 TDO/TDI 포트(TCK, TMS, TDO 및 TDI)을 통하여 "Sample" 명령어를 주고 16비트 데이터를 입출력하는 과정을 측정한 것이다.

제안한 실장 제어기를 사용한 결과 입출력 감지를 위한 많은 선들이 4개의 선들로 간소화되고 입출력의 실시간 모니터링에 있어서 호스트의 작업 부담을 줄일 수 있었다. 실험에서 Sn74bct8240을 사용하고 있지만 대부분의 고집적 칩은 경계 주사 기법을 채용하고 있기 때문에 제안된 실장 제어기의 장착은 매우 간편하며 또한 호스트 시스템이 정상 가동하지 않을 시에 시스템 보드의 테스트 장치로 이용할 수 있기 때문에 그 활용 가치가 높다.

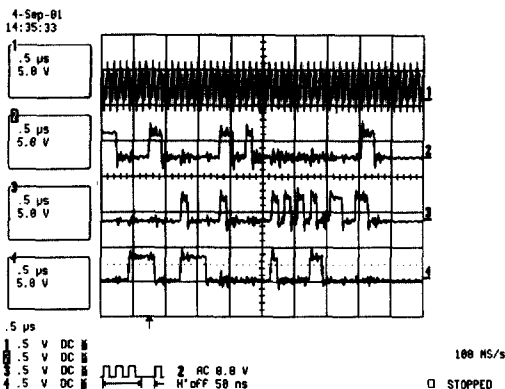



그림 13. TDI와 TDO 포트의 데이터 전송

5. 결 론

본 논문에서는 경계 주사 구조를 이용하여 실시간 모니터링 실장 제어기를 제안하고 설계하였다. 제안한 실시간 모니터링 실장 제어기는 범용 실장 제어기와 DMA 및 TAP 제어기를 결합한 구조로 되어 있으며 경계 주사 구조를 가진 시스템 칩을 대상으로 실시간 모니터링 한다.

제안한 실장제어기의 모니터링 방식은 경계 주사 구조를 이용하기 때문에 기존의 호스트에서 모니터링을 하는 방식에 비해 많은 입출력 선들이 절약되므로 하드웨어 자원을 줄일 수 있다. 또한 최근 대부분의 고집적 칩은 TAP 제어 포트가 마련되어 있기 때문에 제안된 실장 제어기를 시스템에 장착할 경우 부가 장치 없이 쉽게 인터페이스 할 수 있다는 장점이 있다. 그리고 경계 주사 구조의 TAP 제어와 함께 실장 제어기의 기능이 함께 구성되어 있기 때문에 기존 호스트가 담당하고 있는 실시간 모니터링을 위한 작업 프로세서의 부담을 줄 수 있다.

모니터링 작업은 빈번한 입출력이 요구되므로 경계 주사를 이용한 모니터링을 Intel 8051로 처리한 것과 비하여 제안한 실장 제어기로 처리한 방식이 약 125배의 빠른 입출력 처리 속도를 가지는 것을 확인하였다.

제안된 실장 제어기는 원 칩으로 구현하였으며 비교적 속도가 낮으면서 많은 입출력을 모니터링 하는데 매우 효과적이다.

제안된 실장 제어기는 시스템이 정상 가동하지 않을 때 즉 전원이 인가된 직후나 종료 시에 시스템 보드 테스트로 이용할 수 있음으로 차후 그 활용 가치가 높으며 또한 시스템을 실시간으로 모니터 할 때나 시스템을 테스트 할 때 메인 시스템에 병행적으로 동작하므로 이에 대한 운영 체제의 접근과 연구가 필요하다.

참 고 문 헌

[1] L. Balme, A. Mignotte, J. Monari, P. Pondaven and C. Vaucher, "New Testing Equipment for SMT PC Boards," Proc. Int'l Test Conf. , pp. 174-183, Washington, D. C October 1988.

[2] I. Park, D. Ha and G. Sim, "A New Method

for Partial Scan Design Based on Propagation and Justification Requirements of Faults," Proc. Int'l Test Conf., pp. 413-422, Washington, D. C, October 1995.

[3] K. T. Cheng and V. D. Agrawal, "A Partial Scan Method for Sequential Circuits with Feedbacks," IEEE Transaction on Computers, vol. 39, no 4, pp. 544-548, April 190.

[4] K. T. Cheng and C. J. Lin, "Timing Driven Test Point Insertion for Full Scan and Partial Scan BIST," Proc. Int'l Test Conf., pp.506-514, Washington, D. C, October 1995.

[5] G. L. Craig, C. R. Kime and K. K. Saluja, "Test Scheduling and Control for VLSI Built In Self Test," IEEE Transaction on Computers, vol. 37, no. 9, pp. 1099-1109, 1988.

[6] V. D. Agrawal, "A Tutorial on Built In Self Test," IEEE Design & Test of Computers, vol. 41, no. 9, pp. 69-77, 1993.

[7] C. Maunder, "A Universal Framework for Managed Built In Self Test," proc Int'l Test Conf. , pp. 21-29, Baltimore, Maryland, USA, October 1993.

[8] A. Kunzmann and F. Boehland, "Self Test of Sequential Circuits with Deterministic Test Pattern Sequences," Journal of Electronics Testing, vol. 5, no. 2, pp. 307-312, 1994.

[9] C. Schotten and H. Meyr, "Test Point Insertion for An Area Efficient BIST," Proc. Int'l Test Conf., pp. 506-514, Washington, D. C, October 1995.

[10] B. Seiss, P. Trouborst and M. Schulz, "Test Points Insertion for Scan Based BIST," Proc. Int'l Proc. Int'l European Test Conf., pp. 253-262, Munich, Germany, April 1991.

[11] D.D. Josephson, D.J. Dixon, and B.J. Arnold, "Test Features of the HPPA7100LC Processor," Proc. of Int'l Test Conf., pp. 764-772, 1993.

[12] C. Champlin, "IRIDIUM Satellite : A Large System Application of Design for Testability," Proc. of Int'l Test Conf., pp. 392-398, 1993.

[13] B. Caldwell and T. Langford, "Is IEEE1149.1 Boundary Scan Cost Effective : A Simple Case Study," Proc. of Int'l Test Conf., pp. 106-109, 1992.

[14] Asset, the Boundary-Scan company : "Boundary-Scan tutorial", pp.7-10, 1999

[15] 손우성, 윤태진, 안광선, "IEEE 1149.1을 이용한 확장된 스켄 경로 시험 구조", 한국정보처리학회 논문지, 제 3권, 제7호, pp1924-1937, 1997

[16] GreenPress, "VHDL에 의한 디지털 컴퓨터 설계와 구현", 2000

박 세 현

1980년 경북 대학교 공과대학 전자공학과 학사
1982년 경북 대학교 대학원 전자공학과 석사
1985년 아주 대학교 대학원 전자공학과 박사
1997년 11월 국민 포장 수여
1997년~1999년 국립 안동대학교 공과대학 학장
1999년~2000년 미시건 주립대학 전기 컴퓨터 공학과의 겸임 교수
2001년~현재 국립안동대학교 전자정보산업학부 공과대학 교수
관심분야 : 디지털시스템 설계, 컴퓨터구조, 유전자알고리즘